

(19)



Europäisches Patentamt

European Patent Office

Office européen des brevets



(11)

EP 0 994 503 A1

(12)

DEMANDE DE BREVET EUROPEEN

(43) Date de publication:
19.04.2000 Bulletin 2000/16

(51) Int Cl.7: H01L 21/20, H01L 21/762

(21) Numéro de dépôt: 99402531.0

(22) Date de dépôt: 14.10.1999

(84) Etats contractants désignés:
AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU
MC NL PT SE
Etats d'extension désignés:
AL LT LV MK RO SI

(30) Priorité: 16.10.1998 FR 9813010

(71) Demandeur: COMMISSARIAT A L'ENERGIE
ATOMIQUE
75752 Paris Cédex 15 (FR)

(72) Inventeurs:
• Aspar, Bernard
38140 Rives (FR)
• Bruel, Michel
38113 Veurey (FR)
• Jalaguier, Eric
38410 Saint Martin d'Uriage (FR)

(74) Mandataire: Des Termes, Monique
c/o Société de Protection des Inventions
3, rue du Docteur Lancereaux
75008 Paris (FR)

(54) **Structure comportant une couche mince de matériau composée de zones conductrices et de zones isolantes et procédé de fabrication d'une telle structure**

(57) L'invention concerne une structure comportant une couche mince (2) pouvant être solidaire d'un support (3), la couche mince (2) étant une couche de matériau semiconducteur rendu isolant par implantation io-

nique à l'exception d'au moins une zone permettant une liaison électrique verticale sur toute l'épaisseur de la couche mince (2).

L'invention concerne également un procédé de fabrication d'une telle structure.

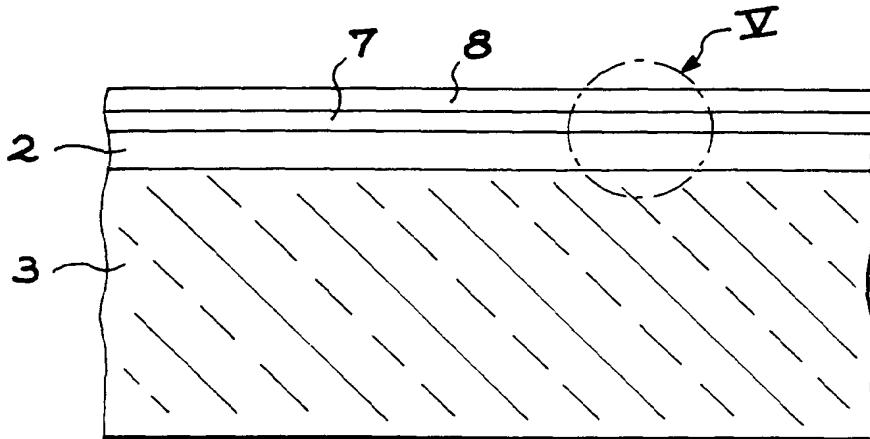


FIG. 4

EP 0 994 503 A1

Description

Domaine technique

[0001] La présente invention concerne une structure comportant une couche mince de matériau composée de zones conductrices et de zones isolantes. Elle concerne aussi le procédé de fabrication d'une telle structure.

Etat de la technique antérieure

[0002] Certains composants réalisés sur la surface d'un substrat nécessitent, pour leur utilisation, qu'un courant électrique puisse circuler dans l'épaisseur du substrat, c'est-à-dire dans le sens vertical par rapport au plan du substrat. On peut citer comme exemple de composants à fonctionnement vertical : les diodes électroluminescentes, les diodes lasers (en particulier les diodes lasers à cavité verticale), les photodéTECTeurs, les détecteurs hyperfréquences (en particulier les diodes Schottky), les composants de puissance, les cellules solaires. Ces composants se présentent schématiquement sous la forme de substrats dopés sur lesquels sont fabriquées les couches actives et non actives avec un dopage déterminé. En règle générale, les contacts électriques sont pris sur la surface en face avant et à l'arrière du composant ou en profondeur.

[0003] Les diodes de puissance présentent deux contacts : le contact d'anode sur la face avant et le contact de cathode sur la face arrière. Pour des composants de puissance plus sophistiqués tels que les MOSFET, les IGBT et les structures thyristor, on retrouve toujours un contact en face avant et un contact en face arrière avec une ou plusieurs prises de contact en profondeur. Cependant, pour tous ces types de composants, le courant électrique circule entre les faces avant et arrière du dispositif (voir par exemple l'article de synthèse intitulé "Trends in power semiconductor devices" de B. JAYANT BALIGA, paru dans IEEE Transactions on Electron Devices, Vol. 43, n° 10, octobre 1996).

[0004] L'une des techniques pour obtenir les couches actives sur le substrat est la croissance épitaxiale. Cette technique consiste à faire croître un matériau de manière ordonnée à partir d'un substrat cristallin tout en maîtrisant sa composition. On peut ainsi réaliser des empilements de couches épitaxiées semiconductrices de dopage variable. Si les couches semiconductrices épitaxiées sont de même nature que le substrat cristallin, on parle de dépôt par homo-épitaxie. Si elles sont de nature différente, on est en présence de dépôt par hétéro-épitaxie. Cette technique permet de réaliser des couches semiconductrices de très faible épaisseur (quelques dizaines d'angströms), de grande pureté et avec des interfaces d' excellente qualité. Néanmoins, cette technique est très coûteuse et sa faible vitesse de dépôt ne permet pas d'obtenir d'une manière industrielle des couches semiconductrices d'épaisseur supérieure

à quelques dizaines de micromètres. De plus, l'épitaxie des couches ne peut être réalisée que si le substrat, possède des paramètres cristallins qui soient proches de ceux du matériau à épitaxier. En effet, si les paramètres cristallins ne sont pas assez proches, une contrainte d'adaptation des paramètres de maille diminue fortement les bonnes propriétés optiques et électroniques des structures obtenues par hétéro-épitaxie. Cela limite donc sévèrement le nombre et la diversité des couches

que l'on peut faire croître. En particulier, on peut citer la difficulté d'obtenir des composants de la famille des semiconducteurs III-V sur des substrats de silicium. Or, pour certains composants, il est intéressant d'allier les avantages de différents semiconducteurs. A titre d'exemple, on peut considérer les cas d'une couche active de GaAs ou d'une couche active d'InP sur du silicium. Cette configuration permet d'associer les bonnes propriétés électroniques des matériaux GaAs ou InP en hyperfréquence avec un substrat de silicium qui a l'avantage d'être plus robuste, d'avoir un poids plus faible et qui possède une bien meilleure conductivité thermique que le GaAs. On peut citer également le cas d'une couche de GaN sur un substrat de SiC, structure qui offre de multiples avantages pour des composants d'électronique de puissance.

[0005] Dans un autre domaine, les cellules solaires pour le spatial présentent un intérêt important. En effet, l'alimentation en énergie des satellites est généralement réalisée au moyen de panneaux de cellules solaires. Parmi les différentes possibilités de réalisation des cellules solaires pour le domaine spatial, on peut citer les cellules solaires réalisées en GaAs. Le problème de l'arséniure de gallium est son coût et surtout son poids et sa fragilité. Pour résoudre ce problème, il a été proposé de réaliser des cellules solaires à partir de films minces de GaAs épitaxiés sur un substrat de germanium. Une amélioration importante consisterait à obtenir des couches minces de GaAs ou d'InP sur un substrat de silicium. Ce type de structure permet de combiner les avantages du GaAs (propriétés de surface pour réaliser le composant constituant la cellule solaire) et les avantages du silicium en tant que support (poids trois fois moindre que celui du GaAs et fragilité moins importante).

[0006] Pour réaliser ces structures constituées d'un film mince solidaire d'un substrat en matériau différent, d'autres procédés que l'hétéro-épitaxie peuvent être utilisés. On peut citer en particulier les méthodes de mise en contact de substrats semiconducteurs par collage par adhésion moléculaire ou les techniques de report de films minces. Le procédé divulgué par le document FR-A-2 681 472 présente de nombreux atouts. Il permet le transfert d'un film mince (de quelques milliers d'angströms à quelques micromètres d'épaisseur), semiconducteur et de grande surface, depuis son substrat d'origine vers le support désiré par la combinaison d'une implantation ionique (au moyen d'ions légers), d'un collage par adhésion moléculaire et d'un traitement thermique

adéquat.

[0007] Cette technique de transfert a fait l'objet d'autres développements. Selon le document FR-A-2 748 851, l'étape d'implantation ionique est conduite avec une dose d'ions comprise entre une dose minimum et une dose maximum, la dose minimum étant celle à partir de laquelle il y aura une création suffisante de microcavités pour obtenir la fragilisation du substrat suivant le plan de référence, la dose maximum, ou dose critique, étant celle au-dessus de laquelle, pendant l'étape de traitement thermique, il y a séparation du substrat. L'étape de séparation comporte l'application de forces mécaniques entre les deux parties du substrat.

[0008] Si le film mince délimité dans le substrat est suffisamment rigide par lui-même (à cause de son épaisseur ou à cause de ses propriétés mécaniques) on peut obtenir, après le recuit de transfert, un film auto-porté. C'est ce qu'enseigne le document FR-A-2 738 671.

[0009] Le document FR-A-2 767 416 divulgue qu'il est possible de baisser la température de recuit si l'on tient compte du budget thermique fourni au substrat au cours des différentes étapes du procédé (étape d'implantation ionique, étape éventuelle d'adhésion du substrat sur le raidisseur, traitements intermédiaires éventuels, étape de recuit permettant la séparation). Par budget thermique, on entend que, pour une étape où un apport thermique est introduit (par exemple lors de l'étape de recuit), il ne faut pas raisonner uniquement sur la température mais sur le couple temps-température fourni au substrat.

[0010] Cette technique est maintenant utilisée pour la fabrication industrielle de substrats SOI (voir l'article de A.J. AUBERTON et al., intitulé "SOI materials for ULSI applications" paru dans Semiconductor International, 1995, vol. 11, pages 97-104). La faisabilité de cette technique aux matériaux semiconducteurs III-V tels que le GaAs a été récemment démontrée (voir l'article de E. JALAGUIER et al., intitulé "Transfer of 3 in GaAs film on silicon substrate by proton implantation process" publié dans Electronics Letters, 19 février 1998, vol. 34, n° 4, pages 408-409). Pour une telle structure, constituée d'une couche mince de GaAs sur un support en silicium, un collage par l'intermédiaire d'une couche d'oxyde de silicium a été utilisé. La couche mince de GaAs est donc isolée électriquement du support en silicium. Or, dans le cas d'une cellule solaire ainsi constituée, il est nécessaire d'établir une connexion électrique sur la face avant et une connexion électrique sur la face arrière, la liaison électrique avec la couche mince photovoltaïque se faisant au travers du substrat.

[0011] Une solution à ce problème peut être trouvée en choisissant une interface conductrice entre la couche mince et son support, cette interface devant aussi assurer l'adhésion des deux parties. Plusieurs techniques ont été proposées pour y parvenir. Elles sont présentées ci-dessous.

[0012] Il est possible d'obtenir un collage direct entre deux éléments semiconducteurs qui assure un bon contact électrique entre ces deux éléments. On peut se reporter à ce sujet aux articles suivants :

5

- "Electrical characteristics of directly-bonded GaAs and InP" de H. WADA et al., paru dans Appl. Phys. Lett., 62(7), 15 février 1993 ;
- "Low-resistance ohmic conduction across compound semiconductor wafer-bonded interfaces" de F.A. KISH et al., paru dans Appl. Phys. Lett., 67 (14), 2 octobre 1995.

15 Les techniques décrites dans ces articles sont cependant assez contraignantes. Elles exigent fréquemment une très bonne préparation des surfaces avant collage, souvent dans des conditions d'ultra-vide et/ou également des traitements thermiques de post-collage à haute température (de 600 à 1000°C) sous atmosphère réductrice d'hydrogène. Ces conditions sont difficiles à mettre en oeuvre, en particulier lorsque les deux matériaux semiconducteurs présentent une forte différence entre leurs coefficients de dilatation thermique (par exemple pour GaAs par rapport à Si ou SiC). Dans ce cas, un collage à basse température doit nécessairement être mis en oeuvre.

[0013] Une autre possibilité consiste à mettre en contact les deux éléments semiconducteurs par l'intermédiaire de couches métalliques préalablement déposées. 20 Cette solution est décrite dans l'article "Low Temperature Bonding of Epitaxial Lift-Off Devices with AuSn" de G. RAINER DOHLE et al., paru dans IEEE Transactions on Components, Packaging, and Manufacturing Technology - Part B, vol. 19, n° 13, août 1996.

[0014] Par ailleurs, un développement du procédé décrit par le document FR-A-2 681 472, cité plus haut, a été divulgué dans le document FR-A-2 758 907. Ce dernier document divulgue que, sous certaines conditions, on peut utiliser une technique de masquage pour protéger des zones sensibles de la future couche mince (par exemple des zones constitutives de transistors MOS) du passage des ions destinés à créer les microcavités. Ceci implique une absence de microcavités dans les zones du substrat bombardé correspondant aux zones masquées. On peut malgré tout obtenir un clivage du substrat permettant d'en détacher un film mince si la largeur de chaque zone masquée ne dépasse pas une dimension limite déterminée pour le matériau constituant le substrat.

[0015] On pouvait donc penser, au vu de l'état de l'art annoncé ci-dessus, que le procédé de transfert d'une couche mince semiconductrice divulgué par le document FR-A-2 681 472 permettrait d'obtenir une couche mince de GaAs solidaire d'un support en silicium par l'intermédiaire d'une interface conductrice et qu'une liaison électrique serait possible entre la couche mince de GaAs et le support en silicium. Cependant, l'application de ce procédé de transfert a révélé le problème sui-

vant. L'étape d'implantation ionique est généralement réalisée au moyen d'ions légers tels que des ions hydrogène. Il se trouve que le passage d'ions hydrogène dans du GaAs a pour effet de modifier considérablement la résistivité de la région bombardée par ces ions. Ainsi, une région de GaAs d'une résistivité initiale de l'ordre de $1 \text{ m}\Omega \cdot \text{cm}$ voit, après bombardement par des ions hydrogène, sa résistivité atteindre une valeur de l'ordre de $10^5 \Omega \cdot \text{cm}$. Ce phénomène est dû à l'hydrogène qui crée des centres profonds dans le GaAs. Il en résulte qu'un film de GaAs épitaxié sur une couche mince de GaAs ainsi transféré sur un support en silicium serait isolé électriquement du support.

[0016] Pour pallier à ce problème, on peut penser utiliser d'autres espèces que l'hydrogène pour effectuer l'implantation ionique. L'hydrogène est cependant préféré pour des raisons pratiques. On peut aussi tenter de restituer une certaine conductivité à la couche mince de GaAs au moyen de recuits postérieurs au clivage. Cependant ces recuits impliquent une rupture dans le déroulement du procédé de fabrication et ne sont pas toujours souhaitables.

Exposé de l'invention

[0017] Afin de remédier aux inconvénients de l'art antérieur, il est proposé une structure obtenue par le procédé décrit dans le document FR-A-2 681 472, ce procédé étant modifié pour que la couche conductrice ou semiconductrice à transférer, qui est une couche susceptible d'être altérée par le bombardement ionique, soit localement protégée. Cette protection permet d'obtenir une couche transférable présentant des zones à propriétés électriques non altérées.

[0018] L'invention a donc pour objet un procédé de fabrication d'une couche mince, la couche mince devant offrir au moins une liaison électrique verticale sur toute son épaisseur, la couche mince étant en un matériau conducteur ou semiconducteur susceptible de voir ses propriétés électriques perturbées lorsqu'il est soumis à une implantation ionique au moyen d'espèces déterminées, le procédé comprenant les étapes suivantes :

- masquage d'une face d'un substrat comportant ledit matériau par des moyens de masquage définissant au moins une zone masquée dont la taille ne dépasse pas une dimension limite déterminée pour ledit matériau, cette dimension limite devant permettre le clivage du substrat lors de l'étape postérieure de clivage ;
- implantation ionique du substrat au travers de sa face masquée au moyen desdites espèces, l'implantation étant apte à créer, dans le volume non masqué du substrat et à une profondeur voisine de la profondeur moyenne de pénétration des espèces, une couche de microcavités délimitant ladite couche mince ;
- retrait éventuel des moyens de masquage ;

- clivage du substrat au niveau de la couche de microcavités pour obtenir ladite couche mince.

[0019] La face implantée du substrat peut être solidarisée avec un support avant l'étape de clivage. Elle peut aussi être solidarisée avec un support après l'étape de clivage.

[0020] L'étape de clivage correspond à une séparation entre la couche mince et le substrat.

[0021] Les moyens de masquage peuvent comprendre des plots d'un matériau capable d'empêcher la pénétration des ions dans le substrat lors de l'implantation ionique, ces plots étant déposés sur ladite face du substrat. Ils peuvent aussi comprendre des micro-éléments déposés sur ladite face du substrat. Ces micro-éléments peuvent être choisis parmi des microbilles et des particules.

[0022] Le masquage peut être réalisé de telle façon que la couche mince conserve globalement les propriétés électriques du substrat. Il peut aussi être réalisé de telle façon que la couche mince se présente globalement comme une couche isolante à l'exception d'au moins une partie formée d'une zone ou de plusieurs zones voisines conservant les propriétés électriques du substrat. Dans ce cas, la partie formée de cette zone ou de ces zones voisines conservant les propriétés électriques du substrat peut constituer une via conductrice ou une piste conductrice.

[0023] La solidarisation du substrat avec un support peut être réalisée par une méthode choisie entre le collage par adhésion moléculaire et le collage au moyen d'une brasure, par exemple une brasure à base d'indium.

[0024] Avant la solidarisation, le procédé peut comprendre une étape de préparation d'une interface conductrice entre ladite face du substrat et le support. Cette étape de préparation d'une interface conductrice peut comprendre le dépôt d'une couche métallique sur la face du substrat et/ou sur le support, par exemple le dépôt d'une couche de palladium. A cette couche métallique peut être associé le dépôt de matériaux conducteurs d'accrochage, par exemple des dépôts successifs de titane, de nickel et d'or. Un traitement thermique peut être effectué de manière à faire diffuser la couche métallique déposée. Le matériau métallique est choisi de préférence pour réagir avec au moins une partie du matériau du substrat et/ou du support.

[0025] Ce procédé s'applique avantageusement à la fabrication d'une structure comportant une couche mince en SiC, en GaAs ou en InP sur un support, l'implantation ionique mettant en oeuvre des ions hydrogène et/ou hélium. Le support peut notamment être en silicium.

[0026] L'invention a aussi pour objet une structure comportant une couche mince, la couche mince étant une couche de matériau conducteur ou semiconducteur rendu isolant par implantation ionique à l'exception d'au moins une zone permettant une liaison électrique verticale sur toute l'épaisseur de la couche mince.

[0027] Selon une première variante, la couche mince comprend une multitude de zones, ces zones étant réparties sur toute la surface de la couche mince. Selon une seconde variante, la couche mince comprend une zone ou une pluralité de zones concentrées pour constituer au moins une via conductrice ou au moins une piste conductrice.

[0028] La couche mince peut être solidaire d'un support par l'intermédiaire d'une interface conductrice afin d'améliorer la liaison électrique entre ces deux éléments. Cette interface conductrice peut être constituée d'une couche métallique, par exemple d'une couche de palladium. A cette couche métallique peut être associé le dépôt de matériaux conducteurs d'accrochage, par exemple des dépôts successifs de titane, de nickel et d'or.

[0029] La couche mince peut aussi être solidaire d'un support par l'intermédiaire d'une brasure, par exemple une brasure à base d'indium.

[0030] Avantageusement, le matériau semiconducteur de la couche mince est choisi parmi SiC, GaAs et InP. Le support peut notamment être en silicium.

Brève description des dessins

[0031] L'invention sera mieux comprise et d'autres avantages et particularités apparaîtront à la lecture de la description qui va suivre, donnée à titre d'exemple non limitatif, accompagnée des dessins annexés parmi lesquels :

- les figures 1 à 3 illustrent différentes étapes du procédé de fabrication selon la présente invention ;
- la figure 4 représente, vue en coupe transversale, une structure selon la présente invention, dans une application particulière,
- la figure 5 est une vue agrandie du détail repéré V sur la figure 4.

Description détaillée d'un mode de réalisation de l'invention

[0032] Les figures 1 à 3 sont des vues en coupe transversale. La figure 1 montre un substrat semiconducteur 1, par exemple un substrat en GaAs. Le substrat 1 est destiné à fournir la couche mince 2 d'une structure par solidarisation avec un support 3 par exemple en silicium (voir les figures 2 à 5).

[0033] Sur la face supérieure 5 du substrat 1, on dépose des plots 4 capables d'arrêter les ions qui seront ensuite implantés dans le volume du substrat au travers de la face 5. Les plots 4 peuvent être des plots de résine ou d'un autre matériau (oxyde, métal, etc.). L'épaisseur des plots est prévue pour empêcher les ions de pénétrer dans le substrat. La taille des plots est par exemple de l'ordre de 1 à 2 μm .

[0034] La figure 2 illustre l'étape d'implantation ionique. Des ions hydrogène sont par exemple utilisés pour

bombarder le substrat 1 au travers de la face supérieure 5. L'énergie et la dose des ions sont choisies de façon à constituer une couche de microcavités 6 à une distance de la face 5 du substrat correspondant à l'épaisseur désirée pour la couche mince 2. Les ions hydrogène rendent, par leur passage, la couche mince 2 isolante. Cependant, les zones de la couche mince 2 masquées par les plots 4 ne sont pas altérées par les ions hydrogène. Ces zones masquées conservent donc les propriétés électriques initiales du substrat 1.

[0035] On entend par microcavité ou microbulle gazeuse toute cavité générée par l'implantation d'ions de gaz hydrogène et/ou de gaz rares dans le matériau. Les cavités peuvent se présenter sous forme très aplatie c'est-à-dire de faible hauteur, par exemple quelques distances inter-atomiques, aussi bien que sous forme sphérique ou sous tout autre forme différente de ces deux formes précédentes. Ces cavités peuvent contenir une phase gazeuse libre et/ou des atomes de gaz issus des ions implantés fixés sur des atomes du matériau formant les parois des cavités. Ces cavités sont généralement appelées en terminologie anglo-saxonne "platelets", "microblisters" ou même "bubbles".

[0036] On entend par couche de microcavités une zone contenant des microcavités pouvant être situées à différentes profondeurs et pouvant être adjacentes ou non entre elles.

[0037] On entend par espèces gazeuses des éléments par exemple d'hydrogène ou de gaz rares sous leur forme atomique (par exemple H) ou sous leur forme moléculaire par exemple H₂ ou sous leur forme ionique (par exemple H⁺, H²⁺) ou sous leur forme isotopique (par exemple deutérium) ou isotopique et ionique.

[0038] On entend par ailleurs, par implantation ionique, tout type d'introduction des espèces définies précédemment seules ou en combinaison telle que le bombardement ionique, la diffusion etc.

[0039] La couche 6 de microcavités ainsi obtenue est discontinue. Cependant, les discontinuités sont de petite taille (de l'ordre de 1 à 2 μm) et ne sont pas susceptibles de modifier le phénomène de propagation des fissures lors de l'étape postérieure de clivage.

[0040] Après l'étape d'implantation ionique, les plots 4 déposés par la face 5 du substrat 1 sont éliminés. La face 5 du substrat 1 peut être rendue solidaire, par exemple par adhésion moléculaire, d'une face de réception du support 3 (voir la figure 3). Avant cette étape de solidarisation, les faces à réunir sont préparées pour constituer une interface de collage. A titre d'exemple, un contact ohmique de très faible résistivité (1 $\Omega \cdot \text{cm}$) peut être obtenu si l'on réalise l'adhésion par l'intermédiaire d'une couche de palladium déposée sur l'une des faces ou sur les deux faces à réunir. Un résultat similaire peut être obtenu dans le cas d'une brasure à base d'indium.

[0041] Le traitement thermique conduit, quel que soit le type de matériau solide, à la coalescence des microcavités qui amène une fragilisation de la structure au

niveau de la couche de microcavités. Cette fragilisation permet la séparation du matériau sous l'effet de contraintes internes et/ou de pression dans les microcavités, la séparation pouvant être naturelle ou assistée par application de contraintes externes.

[0042] Ainsi, le clivage du substrat 1 le long de la couche de microcavités 6 est obtenu par exemple uniquement à la suite d'un traitement thermique approprié ou en combinant un traitement thermique et des forces mécaniques par exemple de traction et/ou de cisaillement et/ou de flexion ou encore par l'utilisation uniquement de forces mécaniques. Les forces mécaniques peuvent être appliquées perpendiculairement aux plans des couches et/ou parallèlement à celles-ci. Elles peuvent être localisées en un point ou une zone ou être appliquées à différents endroits de façon symétrique ou dissymétrique. Le clivage procure une structure comportant la couche mince 2 solidarisée du support 3 ou une couche mince autoportée lorsque la couche mince n'est pas solidarisée avec le support.

[0043] La face libre de la couche mince 2 peut ensuite subir une opération de polissage mécano-chimique. Par épitaxie, on peut alors déposer successivement sur la couche mince 2 des couches 7 et 8 du même matériau semi-conducteur que la couche mince 2. Une cellule solaire peut ainsi être constituée en déposant une couche 7 dopée n et une couche 8 dopée p. Comme le montre la figure 5, l'ensemble constitué par les couches 7 et 8 est relié électriquement au support 3 par des zones 9 qui ont par exemple 1 μ m de côté. Si les zones 9 sont constituées d'un matériau de résistivité 1 Ω · cm, la résistance d'une zone 9, pour une couche mince 2 d'épaisseur 100 nm, est de 1000 Ω . Si les zones 9 sont espacées chacune de 1 μ m, la densité totale de ces zones est de l'ordre de 10⁶/cm², ce qui correspond à une résistance totale apparente de 0,001 Ω pour une surface de 1 cm² de couche mince. Si la surface de couche mince est par exemple de 70 cm², sa résistance dans le sens vertical est alors de l'ordre de 10⁻⁵ Ω . Si une telle cellule solaire reçoit une puissance de 1 kW/m², la puissance récupérable, pour un rendement de 20%, est de 200 W/m². Pour une tension de 1 volt, cela équivaut à 200 A/m² soit un courant de 1,4 A pour une structure de 70 cm². La résistance de cette structure entraîne alors une chute de tension de 10⁻⁵ V, soit une perte absolument négligeable.

[0044] Etant donné que les dimensions des zones de masquage sont petites et que le positionnement exact des plots de masquage n'est pas important, ce masquage peut être réalisé par des moyens très simples, sans lithographie. Ces moyens sont par exemple un masquage par microbilles déposées sur la face 5 du substrat 1 avant l'étape d'implantation ionique. Ces microbilles, ou d'autres particules, peuvent être en verre, en quartz ou en un autre matériau approprié. Leur taille varie de quelques dixièmes de μ m à quelques μ m.

[0045] Selon les applications, la couche mince 2 peut être hétérogène, c'est-à-dire composée de matériaux

de nature différente empilés les uns sur les autres et/ou alignés les uns à côté des autres.

[0046] Par ailleurs, la couche mince peut être autoportée lorsque son épaisseur, compte tenu de la nature du matériau la réalisant, lui assure une rigidité suffisante pour induire la séparation. Cette couche mince autoportée permet des applications par exemple du type de celles des films conducteurs anisotropes.

[0047] Pour obtenir une épaisseur de la couche mince apte à lui assurer cette rigidité suffisante, on peut jouer sur la profondeur d'implantation des espèces et/ou sur la formation d'une épaisseur complémentaire de matériau, par exemple par épitaxie ou par hétéro-épitaxie à la surface de la couche mince ou par un dépôt.

[0048] En outre, selon l'invention, l'implantation peut résulter d'espèces différentes, implantées simultanément ou successivement (cf. FR-A-2 773 261).

20 Revendications

1. Procédé de fabrication d'une couche mince (2), la couche mince (2) devant offrir au moins une liaison électrique verticale sur toute son épaisseur, la couche mince (2) étant en un matériau conducteur ou semi-conducteur susceptible de voir ses propriétés électriques perturbées lorsqu'il est soumis à une implantation ionique au moyen d'espèces déterminées, le procédé comprenant les étapes suivantes :
 - masquage d'une face (5) d'un substrat (1) comportant ledit matériau par des moyens de masquage (4) définissant au moins une zone masquée dont la taille ne dépasse pas une dimension limite déterminée pour ledit matériau, cette dimension limite devant permettre le clivage du substrat (1) lors de l'étape postérieure de clivage ;
 - implantation ionique du substrat (1) au travers de sa face masquée au moyen desdites espèces, l'implantation étant apte à créer, dans le volume non masqué du substrat (1) et à une profondeur voisine de la profondeur moyenne de pénétration des espèces, une couche de microcavités (6) délimitant ladite couche mince (2) ;
 - retrait éventuel des moyens de masquage (4) ;
 - clivage du substrat (1) au niveau de la couche de microcavités (6) pour obtenir ladite couche mince.
2. Procédé selon la revendication 1, caractérisé en ce que la face implantée (5) du substrat (1) est solidarisée avec un support (3) avant l'étape de clivage.
3. Procédé selon la revendication 1, caractérisé en ce que la couche mince est solidarisée avec un support après l'étape de clivage.

4. Procédé selon l'une quelconque des revendications 1 à 3, caractérisé en ce que les moyens de masquage (4) comprennent des plots d'un matériau capable d'empêcher la pénétration des ions dans le substrat lors de l'implantation ionique, ces plots (4) étant déposés sur ladite face (5) du substrat (1).

5. Procédé selon la revendication 1, caractérisé en ce que les moyens de masquage comprennent des micro-éléments déposés sur ladite face du substrat.

6. Procédé selon la revendication 5, caractérisé en ce que lesdits micro-éléments sont choisis parmi des microbilles et des particules.

7. Procédé selon l'une quelconque des revendications 1 à 6, caractérisé en ce que le masquage est réalisé de telle façon que la couche mince (2) conserve globalement les propriétés électriques du substrat (1).

8. Procédé selon l'une quelconque des revendications 1 à 6, caractérisé en ce que le masquage est réalisé de telle façon que la couche mince (2) se présente globalement comme une couche isolante à l'exception d'au moins une partie formée d'une zone ou de plusieurs zones voisines conservant les propriétés électriques du substrat (1).

9. Procédé selon la revendication 8, caractérisé en ce que la partie formée de cette zone ou de plusieurs zones voisines conservant les propriétés électriques du substrat (1) constitue une via conductrice ou une piste conductrice.

10. Procédé selon la revendication 2, caractérisé en ce que l'étape de solidarisation du substrat avec le support est réalisée par une méthode choisie entre le collage par adhésion moléculaire et le collage au moyen d'une brasure.

11. Procédé selon la revendication 10, caractérisé en ce que ladite brasure est à base d'indium.

12. Procédé selon la revendication 2, caractérisé en ce qu'il comprend, avant l'étape de solidarisation, une étape de préparation d'une interface conductrice entre ladite face (5) du substrat (1) et ledit support (3).

13. Procédé selon la revendication 12, caractérisé en ce que l'étape de préparation d'une interface conductrice comprend le dépôt d'une couche métallique sur ladite face (5) du substrat (1) et/ou sur le support (3).

14. Procédé selon la revendication 13, caractérisé en ce que ladite couche métallique est une couche de palladium.

15. Procédé selon l'une des revendications 13 ou 14, caractérisé en ce qu'à ladite couche métallique d'interface est associé le dépôt de matériaux conducteurs d'accrochage.

16. Procédé selon la revendication 15, caractérisé en ce que les matériaux conducteurs d'accrochage sont des dépôts successifs de titane, de nickel et d'or.

17. Procédé selon l'une quelconque des revendications 13 à 16, caractérisé en ce qu'un traitement thermique est effectué de manière à faire diffuser la couche métallique déposée.

18. Application du procédé selon l'une quelconque des revendications 1 à 17 à la fabrication d'une structure comportant une couche mince en SiC, en GaAs ou en InP sur un support, l'implantation ionique mettant en oeuvre des ions hydrogène et/ou hélium.

19. Application selon la revendication 18, caractérisée en ce que le support est en silicium.

20. Structure comportant une couche mince (2), la couche mince (2) étant une couche de matériau conducteur ou semi-conducteur rendu isolant par implantation ionique à l'exception d'au moins une zone (9) permettant une liaison électrique verticale sur toute l'épaisseur de la couche mince (2).

21. Structure selon la revendication 20, caractérisée en ce que la couche mince comprend une multitude de zones, ces zones étant réparties sur toute la surface de la couche mince.

22. Structure selon la revendication 20, caractérisée en ce que la couche mince comprend une zone ou une pluralité de zones concentrées pour constituer au moins une via conductrice ou au moins une piste conductrice.

23. Structure selon l'une quelconque des revendications 20 à 22, caractérisée en ce que la couche mince (2) est solidaire d'un support (3) par l'intermédiaire d'une interface conductrice.

24. Structure selon la revendication 23, caractérisée en ce que l'interface conductrice est constituée par une couche métallique.

25. Structure selon la revendication 24, caractérisée en ce que la couche métallique est une couche de palladium.

26. Structure selon l'une quelconque des revendications 23 à 25, caractérisée en ce que, à ladite couche métallique d'interface est associé le dépôt de

matériaux conducteurs d'accrochage.

27. Structure selon la revendication 26, caractérisée en ce que les matériaux conducteurs d'accrochage sont des dépôts successifs de titane, de nickel et d'or. 5

28. Structure selon l'une quelconque des revendications 20 à 22, caractérisée en ce que la couche mince (2) est solidaire d'un support (3) par l'intermédiaire d'une brasure. 10

29. Structure selon la revendication 28, caractérisée en ce que la brasure est à base d'indium. 15

30. Structure selon l'une quelconque des revendications 20 à 29, caractérisée en ce que le matériau de la couche mince (2) est choisi parmi SiC, GaAs et InP. 20

31. Structure selon l'une quelconque des revendications 23 à 29, caractérisée en ce que le support (3) est en silicium. 25

20

25

30

35

40

45

50

55

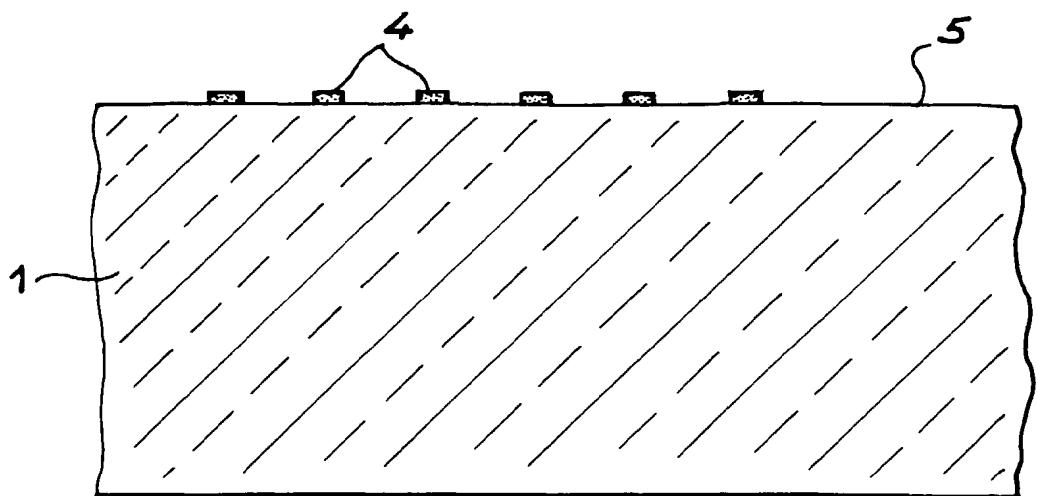


FIG. 1

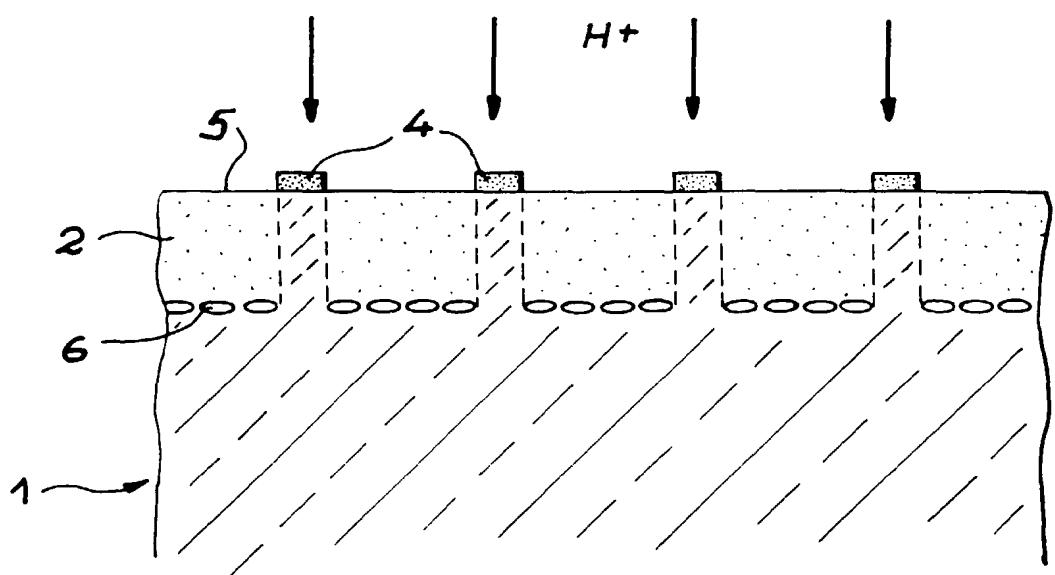


FIG. 2

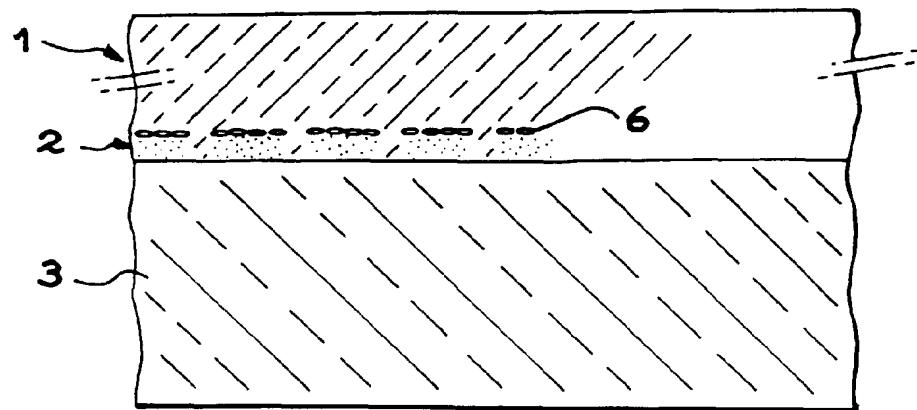


FIG. 3

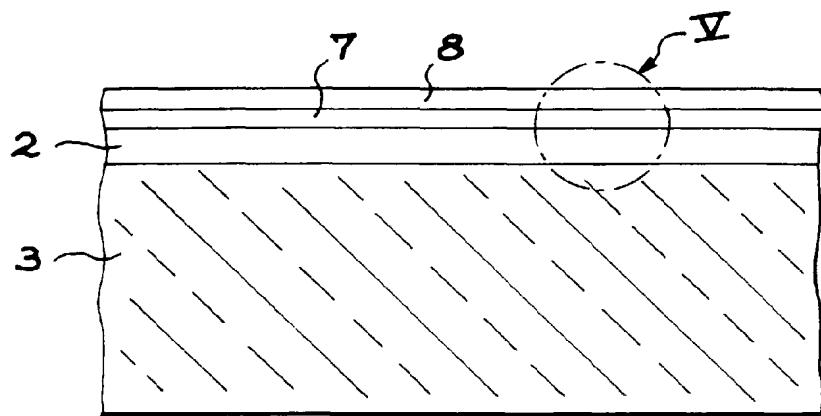


FIG. 4

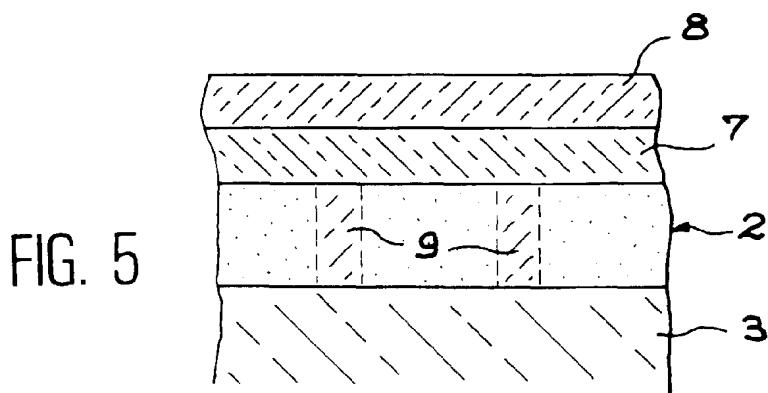


FIG. 5



Office européen
des brevets

RAPPORT DE RECHERCHE EUROPEENNE

Numéro de la demande
EP 99 40 2531

| DOCUMENTS CONSIDERES COMME PERTINENTS | | | |
|---|--|--|--|
| Catégorie | Citation du document avec indication, en cas de besoin, des parties pertinentes | Revendication concernée | CLASSEMENT DE LA DEMANDE (Int.Cl.7) |
| A | "SOI INTERPOSER STRUCTURE" IBM TECHNICAL DISCLOSURE BULLETIN, vol. 39, no. 7, 1 juillet 1996 (1996-07-01), pages 191-195, XP000627972 * figures * | 1-6,8, 10,11, 18-22,29 | H01L21/20 H01L21/762 |
| A | US 5 783 477 A (VANDERWATER DAVID A ET AL) 21 juillet 1998 (1998-07-21) * colonne 8, ligne 18 - ligne 31; figure 9 * | 1-3,10, 18-23, 30,31 | |
| A | US 5 256 581 A (FOERSTNER JUERGEN A ET AL) 26 octobre 1993 (1993-10-26) * abrégé; revendications; figures * | 1-3, 8-10,20, 31 | |
| A, D | FR 2 758 907 A (COMMISSARIAT ENERGIE ATOMIQUE) 31 juillet 1998 (1998-07-31) * abrégé; revendications; figures * | 1-10,20, 31 | |
| A, D | HIROSHI WADA ET AL: "ELECTRICAL CHARACTERISTICS OF DIRECTLY-BONDED GAAS AND INP" APPLIED PHYSICS LETTERS, vol. 62, no. 7, 15 février 1993 (1993-02-15), pages 738-740, XP000338292 * abrégé * | 1-3, 10-17, 21-29 | H01L DOMAINES TECHNIQUES RECHERCHES (Int.Cl.7) |
| <p>Le présent rapport a été établi pour toutes les revendications</p> | | | |
| Lieu de la recherche | Date d'achèvement de la recherche | Examinateur | |
| LA HAYE | 24 janvier 2000 | Wirner, C | |
| CATEGORIE DES DOCUMENTS CITES | | <p>T : théorie ou principe à la base de l'invention E : document de brevet antérieur, mais publié à la date de dépôt ou après cette date D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant</p> | |
| X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire | | | |

**ANNEXE AU RAPPORT DE RECHERCHE EUROPEENNE
RELATIF A LA DEMANDE DE BREVET EUROPEEN NO.**

EP 99 40 2531

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche européenne visé ci-dessus.

Lesdits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets.

24-01-2000

| Document brevet cité au rapport de recherche | | Date de publication | | Membre(s) de la famille de brevet(s) | | Date de publication |
|---|---|------------------------|----------|---|--|--------------------------|
| US 5783477 | A | 21-07-1998 | US | 5661316 A | | 26-08-1997 |
| US 5256581 | A | 26-10-1993 | | AUCUN | | |
| FR 2758907 | A | 31-07-1998 | EP WO | 0972304 A 9833209 A | | 19-01-2000 30-07-1998 |

EPO FORM P0460

Pour tout renseignement concernant cette annexe : voir Journal Officiel de l'Office européen des brevets, No.12/82